

CLIPPEDIMAGE= JP355166957A
PUB-NO: JP355166957A
DOCUMENT-IDENTIFIER: JP 55166957 A
TITLE: PLANAR TYPE THYRISTOR
PUBN-DATE: December 26, 1980
INVENTOR-INFORMATION:
NAME
KUSAKA, TERUO
INT-CL_(IPC): H01L029/74

US-CL-CURRENT: 257/653

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—166957

⑤ Int. Cl.³
H 01 L 29/74

識別記号

庁内整理番号
6749—5F

⑬ 公開 昭和55年(1980)12月26日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ プレーナ形サイリスタ

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭54—74379

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭54(1979)6月13日

東京都港区芝5丁目33番1号

⑲ 発 明 者 日下輝雄

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

プレーナ形サイリスタ

2. 特許請求の範囲

突き抜け領域を有するP形アノード領域、N形
ベース領域、P形ベース領域、およびN形カソ
ード領域の4層を備え、前記N形ベース領域の側か
ら延在し、前記P形ベース領域を取り囲むように
配置せられたN形高濃度不純物領域を有するプレ
ーナ形サイリスタにおいて、前記N形高濃度不純
物領域直下もしくは近傍に再結合領域を形成した
こと特徴とするプレーナ形サイリスタ。

3. 発明の詳細な説明

本発明はプレーナ形サイリスタに係り、特に高
耐圧プレーナ形サイリスタにおける特性安定化に
有用な構造に関する。

プレーナ形サイリスタ特に400Vを超える高

耐圧プレーナ形サイリスタの実験の製造における
トラブルは適正設計のなされた製品においては、
ほとんどが表面劣化現象に起因するものと云って
よい。なかでも、直流高温バイアス試験(以下
DOBTと呼ぶ)において発生する電流リーク不良
が最もものである場合が多い。

第1図は本発明が主として問題にしている表面
劣化現象を示したものである。該表面劣化は、次
のように発生する。まず、順方向バイアスDOBT
により、比較的低濃度のNベース1の表面に、①
絶縁膜中の可動電荷のドリフト、②絶縁膜表面へ
の電極からの電荷の拡がり、③樹脂レジン中の可
動イオンの絶縁膜へのドリフト、④表面空乏層か
ら絶縁膜中の捕獲単位へのホットエレクトロンの
注入、もしくは⑤それ以外、等諸メカニズムによ
り、P形反転層2が形成される。その状態で、第
1図のように、アノードP層3を基準にして、カ
ソードN層4に負電位バイアス V_B を印加した場
合(プレーナ形サイリスタにとって、逆阻止状態)
を考えると、逆バイアスのアノード接合に勝越さ

5

10

1字挿入

15

れた広い空乏層 5 と上記 DOBT により形成した P 形反転層 2 との間は、高濃度 N^+ 層リング (以下 N^+ チャネルストップと呼ぶ) 6 の近傍で局部的に近接した状態になっている。P ベース層 7 に接続した P 形表面反転層 2 をエミッタ、N ベース 1 をベース、アノード P 層 3 をコレクタとする寄生バイポーラ pnp トランジスタを箇中に矢印で示したように考えると、上述したようにその実効ベース幅は反転層 2 のために小さくなっている。つまり局部的に該寄生 pnp トランジスタの電流利得が上昇している。そのためによる局部的な表面破壊のために、プレーナ形サイリスタの逆方向側阻止能力は DOBT で順方向側だけにストレスを印加したにもかかわらず、大幅に下落する。その下落の度合は容易に直観されるように、寄生バイポーラ pnp トランジスタの電流利得に直結しており、それはよく知られているように、主として、実効ベース幅とベース内少数キャリアの拡散長との兼ね合いで決定される。つまり、上述の表面反転層の形成で顕在化する寄生バイポーラ pnp ト

- 3 -

度な N 形拡散領域である。また、第 2 図に示した N^+ ストップ層 6 は、N ベース 1 の表面のほぼ中央付近に設けられた (カソード N 層と同時に主表面から不純物を拡散して形成されることが多い) 比較的高濃度な N 形拡散領域である。これらは従来のプレーナ形もしくは高耐圧プレーナ形サイリスタの構造と略同様である。第 2 図中、層 8 で示した領域は、本発明の一実施例により設けた再結合領域である。この再結合領域 8 を設けたことにより、第 1 図に基づき詳述したように、DOBT により、N ベースの表面に反転層が形成され、寄生バイポーラ pnp トランジスタが顕在化するような状況において、その電流利得をベース内少数キャリアの再結合作用により、低減せしめ、該プレーナ形サイリスタの阻止能力と安定性を確保することにある。該再結合領域 8 の形成場所は N^+ ストップ層 6 部分、およびその近傍が適当であるがさらに詳述すれば、ストップ層 6 の下側 N ベース内に形成することが、最も設置目的に適う領域であり、かつ、深部まで形成される方がより有効

- 5 -

特開昭 55-166957(2)

ランジスタの電流利得の局部的な異常上昇を抑えるためには、該寄生トランジスタの実効ベース幅を広げる。すなわち N^+ チャネルストップ 6 の幅 w と深さ x を増加させるか、あるいは、N ベース 1 内の相当部分の少数キャリア (ホール) の拡散長 L_p を短くするかの手段が取り得る。

第 2 図は本発明による一実施例²の構造を示す断面図である。以下第 2 図に基づき構造の詳細について説明する。サイリスタは基本構造として、アノード P 層、N ベース層、P ベース層およびカソード N 層を有しているが、先ずアノード P 層 3 は、第 2 図に示したように、半導体基板の主表面と裏面を貫通する突き抜け領域を有する P 形拡散領域である。N ベース層 1 は半導体基板の中で不純物が拡散されずに残った、比較的低濃度な N 形領域である。P ベース層 7 はアノード突き抜け P 形領域で囲まれた N ベース層 1 の中に、アノード P 層 3 と接触しないように設けられた P 形拡散層である。カソード N 層 4 は P ベース層 7 の中に N ベース層 1 に接触しないように設けられた比較的高濃

- 4 -

である。但し、順逆両方向の阻止接合に阻止状態時発生する空乏層に接触しないように配慮しておく必要がある。仮に接触すると、半導体物理学の教えるように、空乏層等強電界下の再結合領域はキャリア発生領域に変わり、阻止状態時リーク電流を増大させるからである。

最後に再結合領域の形成方法であるが、上述した目的にかなりものであれば何でもよいが、具体的には金原子もしくは白金原子等云々ゆるライフタイム・キラと呼ばれる不純物の例えばイオン注入法による局部的なドーピング、もしくは電子ビーム等高エネルギー・ビームの照射による局部的な結晶欠陥形成等が実用的である。本発明にかかるサイリスタは第 2 図に限定されることなく、各層が第 2 図と逆導電型の領域となっても同様の効果がある。

4. 図面の簡単な説明

第 1 図は本発明が主として問題にしている表面劣化現象を説明するためサイリスタの断面図、第

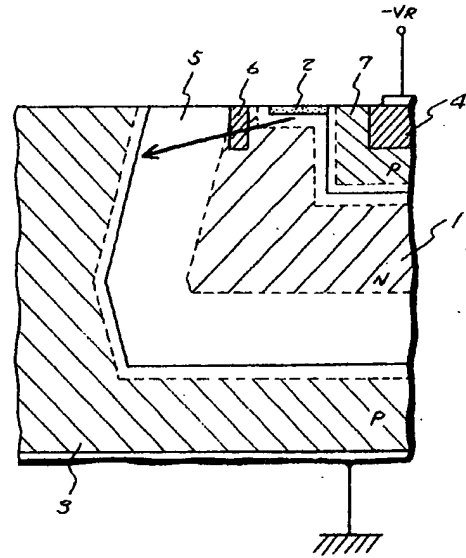
- 6 -

2図は本発明による一実施例の構造を示すサイリスタの断面図である。

尚、図において、

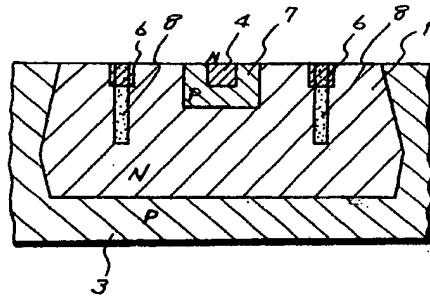
1…Nベース層、2…P形表面反転層、3…アノードP層、4…カソードN層、5…アノード接合空乏層、6…N⁺ストッパ、7…Pベース、8…再結合領域。

代理人 弁理士 内 原 晋



第1図

- 7 -



第2図